

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2921502号

(45) 発行日 平成11年(1999) 7 月19日

(24) 登録日 平成11年(1999) 4 月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

F

G 0 6 F 17/50

G 0 6 F 15/60

6 7 2 D

請求項の数 2 (全 8 頁)

(21) 出願番号 特願平8-217301

(22) 出願日 平成 8 年(1996) 8 月19日

(65) 公開番号 特開平10-62494

(43) 公開日 平成10年(1998) 3 月 6 日

審査請求日 平成 8 年(1996) 8 月19日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 石山 敏夫

東京都港区芝五丁目 7 番 1 号 日本電気  
株式会社内

(74) 代理人 弁理士 若林 忠

審査官 中塚 直樹

(58) 調査した分野(Int.Cl.<sup>8</sup>, D B 名)

G01R 31/28

G06F 15/60

G06F 11/26

(54) 【発明の名称】 順序回路の故障箇所推定方法

1

(57) 【特許請求の範囲】

【請求項 1】 複数の組合せ回路からなる順序回路において、予め用意した前記順序回路の期待値情報と、実際のテストでのパス及びフェイル情報と、前記順序回路の接続情報とを用いて故障箇所を推定する順序回路の故障箇所推定方法であって、

前記パス及びフェイル情報並びに該順序回路の故障箇所推定方法のシーケンスにおいて既に推定されたラッチのフェイル伝搬情報に基づいて前記組合せ回路を抽出する手順と、

前記組合せ回路のフェイル出力及び正常出力の状態を用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、

前記組合せ回路の入力境界における状態の推定が可能な場合、推定された前記組合せ回路の入力境界における状

2

態を用いて論理シミュレーションを行う手順と、

前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出して該経路の入力境界において接続される前段の組合せ回路において前記組合せ回路の抽出手順を再度実行する手順と、

前記組合せ回路の入力境界における状態の推定が不可能な場合、前記組合せ回路の出力端子における故障出力の状態値のみを用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、

10

前記組合せ回路の出力端子における故障出力の状態値のみを用いて推定された組合せ回路の入力境界における状態を用いて論理シミュレーションを行う手順と、

前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路

を抽出すると同時に、前記組合せ回路における正常出力を行わない不正端子及び該不正端子への伝搬経路を抽出する手順と、

前記論理シミュレーションの結果と前記順序回路の期待値情報との比較により抽出された故障伝搬経路から、前記不正端子への伝搬経路を削除し、故障候補領域を抽出する手順と、

前記故障候補領域の優先順位を付ける手順とを順次行うことにより、前記順序回路の故障箇所の推定を行うことを特徴とする順序回路の故障箇所推定方法。

【請求項2】 複数の組合せ回路からなる順序回路において、予め用意した前記順序回路の期待値情報と、実際のテストでのパス及びフェイル情報と、前記順序回路の接続情報とを用いて故障箇所を推定する順序回路の故障箇所推定方法であって、

前記パス及びフェイル情報並びに該順序回路の故障箇所推定方法のシーケンスにおいて既に推定されたラッチのフェイル伝搬情報に基づいて前記組合せ回路を抽出する手順と、

前記組合せ回路のフェイル出力及び正常出力の状態を用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、

前記組合せ回路の入力境界における状態の推定が可能な場合、推定された前記組合せ回路の入力境界における状態を用いて論理シミュレーションを行う手順と、

前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出して該経路の入力境界において接続される前段の組合せ回路において前記組合せ回路の抽出手順を再度実行する手順と、

前記組合せ回路の入力境界における状態の推定が不可能な場合、前記組合せ回路の出力端子における故障出力の状態値のみを用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、

前記組合せ回路の出力端子における故障出力の状態値のみを用いて推定された組合せ回路の入力境界における状態を用いて論理シミュレーションを行う手順と、

前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出すると同時に、前記組合せ回路における正常出力を行わない不正端子及び該不正端子への伝搬経路を抽出する手順と、

前記論理シミュレーションの結果と前記順序回路の期待値情報との比較により抽出された故障伝搬経路と前記不正端子への伝搬経路との交差ノードを求める手順と、

前記交差モードを始点として入力方向に回路を抽出することにより前記故障伝搬経路と前記不正端子への伝搬経路との共通領域を抽出する手順と、

前記故障伝搬経路から前記共通領域を削除し、故障候補領域を抽出する手順と、

前記故障候補領域の優先順位を付ける手順とを順次行うことにより、前記順序回路の故障箇所の推定を行うことを特徴とする順序回路の故障箇所推定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSIの故障診断に関し、特に、順序回路の故障推定方式に関する。

【0002】

【従来の技術】従来からの、順序回路の故障箇所推定手法としては、予め故障辞書を作成しておき、実際に検出されたフェイル結果を故障辞書と照合することによって故障箇所を推定する方法や、スキャンパスによりフリップフロップの状態設定及び読み出しを行うことによって故障箇所を推定する方法がある。

【0003】図4は、従来の、故障辞書を用いた故障箇所推定方法の一例を示すフローチャートである。

【0004】故障辞書を用いる場合は図4に示すように、まず、故障箇所を推定する組合せ回路を抽出する(ステップS21)。

【0005】ここで、実際のテストベクタを用いて、LSI内部に故障を挿入したシミュレーション、すなわち故障シミュレーションを行い、仮定した故障箇所とその時にフェイルとなる出力ピンの情報とを対応させた故障辞書となるデータファイルを予め作成しておく(ステップS22)。

【0006】その後、故障辞書を参照することにより、フェイルとなる出力ピンの故障状態から逆に故障箇所の候補点を求め(ステップS23)、複数得られた候補点に対して、全ベクタのフェイル出力から得られた故障推定箇所を用いて最も故障の可能性が高いと判断されるものから優先順位を付けて故障箇所を推定する(ステップS24)。

【0007】一方、スキャンパスを用いる場合は、予め回路内に、状態の読み出し及び書き込みを行うことができるチェック回路を用意しておき、そのチェック回路を用いてフリップフロップの状態設定を行って、その状態における回路動作後、同様にチェック回路を用いてフリップフロップ等の状態を読み出す。そして、読み出された状態と期待値とを比較し、フェイルが前段の回路からの伝搬であるかどうかを判断することにより故障箇所の推定を行う。

【0008】

【発明が解決しようとする課題】しかしながら、上述したような従来の、順序回路の故障箇所推定方法においては、以下に記載するような問題点がある。

【0009】(1)故障辞書を用いる方法において故障シミュレーションにより、故障出力に対する故障辞書を予め用意する必要があるが、故障辞書の作成においては、予想される全てのノードに対して故障を想定して行われるため、多大な演算時間を要してしまうという問

題点がある。

【0010】そこで、故障辞書を部分的に作成することが考えられるが、その場合においても、故障辞書作成においては多大な演算時間が必要となり、LSIの大型化に伴って演算時間がさらに長くなってしまふ。

【0011】また、一般的に故障シミュレーションで扱う故障モデルが単一縮退故障であるため、ブリッジ故障等の多重故障においては、推定される故障が実際の故障と一致しない虞れがある。そこで、故障シミュレーションを多重故障に拡張することが考えられるが、その場合、処理時間が大幅に増大してしまい、現実的ではない。

【0012】(2) スキャンパスを用いる方法においてLSI内部状態の設定及び読み出しを可能にするチェック回路を有するフリップフロップ、すなわちスキャンパスを予め順序回路に組み込んでおく必要があり、このスキャンパスが組み込まれていないLSIについては適用することができないという問題点がある。

【0013】本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、多大な演算時間を必要とせず順序回路の故障箇所を推定することができ、また、多重故障においても適用することができる、順序回路の故障箇所推定方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために本発明は、複数の組合せ回路からなる順序回路において、予め用意した前記順序回路の期待値情報と、実際のテストでのパス及びフェイル情報と、前記順序回路の接続情報とを用いて故障箇所を推定する順序回路の故障箇所推定方法であって、前記パス及びフェイル情報並びに該順序回路の故障箇所推定方法のシーケンスにおいて既に推定されたラッチのフェイル伝搬情報に基づいて前記組合せ回路を抽出する手順と、前記組合せ回路のフェイル出力及び正常出力の状態を用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、前記組合せ回路の入力境界における状態の推定が可能な場合、推定された前記組合せ回路の入力境界における状態を用いて論理シミュレーションを行う手順と、前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出して該経路の入力境界において接続される前段の組合せ回路において前記組合せ回路の抽出手順を再度実行する手順と、前記組合せ回路の入力境界における状態の推定が不可能な場合、前記組合せ回路の出力端子における故障出力の状態値のみを用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、前記組合せ回路の出力端子における故障出力の状態値のみを用いて推定された組合せ回路の入力境界における状態を用いて論理シミュレーションを行う手順と、前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出すると同時に、前記組合せ回路における正常出力を行わない不正端子及び該不正端子への伝搬経路を抽出する手順と、前記論理シミュレーションの結果と前記順序回路の期待値情報との比較により抽出された故障伝搬経路と前記不正端子への伝搬経路との交差ノードを求める手順と、前記交差モードを始点として入力方向に回路を抽出することにより前記故障伝搬経路と前記不正端子への伝搬経路との共通領域を抽出する手順と、前記故障伝搬経路から前記共通領域を削除し、故障候補領域を抽出する手順と、前記故障候補領域の優先順位を付ける手順とを順次行うことにより、前記順序回路の故障箇所の推定を行うことを特徴とする。

シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出すると同時に、前記組合せ回路における正常出力を行わない不正端子及び該不正端子への伝搬経路を抽出する手順と、前記論理シミュレーションの結果と前記順序回路の期待値情報との比較により抽出された故障伝搬経路から、前記不正端子への伝搬経路を削除し、故障候補領域を抽出する手順と、前記故障候補領域の優先順位を付ける手順とを順次行うことにより、前記順序回路の故障箇所の推定を行うことを特徴とする。

10

【0015】また、複数の組合せ回路からなる順序回路において、予め用意した前記順序回路の期待値情報と、実際のテストでのパス及びフェイル情報と、前記順序回路の接続情報とを用いて故障箇所を推定する順序回路の故障箇所推定方法であって、前記パス及びフェイル情報並びに該順序回路の故障箇所推定方法のシーケンスにおいて既に推定されたラッチのフェイル伝搬情報に基づいて前記組合せ回路を抽出する手順と、前記組合せ回路のフェイル出力及び正常出力の状態を用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、前記組合せ回路の入力境界における状態の推定が可能な場合、推定された前記組合せ回路の入力境界における状態を用いて論理シミュレーションを行う手順と、前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出して該経路の入力境界において接続される前段の組合せ回路において前記組合せ回路の抽出手順を再度実行する手順と、前記組合せ回路の入力境界における状態の推定が不可能な場合、前記組合せ回路の出力端子における故障出力の状態値のみを用いて前記抽出された組合せ回路の入力境界における状態を推定する手順と、前記組合せ回路の出力端子における故障出力の状態値のみを用いて推定された組合せ回路の入力境界における状態を用いて論理シミュレーションを行う手順と、前記論理シミュレーションの結果と前記順序回路の期待値情報とを比較し、それにより、故障が伝搬された経路を抽出すると同時に、前記組合せ回路における正常出力を行わない不正端子及び該不正端子への伝搬経路を抽出する手順と、前記論理シミュレーションの結果と前記順序回路の期待値情報との比較により抽出された故障伝搬経路と前記不正端子への伝搬経路との交差ノードを求める手順と、前記交差モードを始点として入力方向に回路を抽出することにより前記故障伝搬経路と前記不正端子への伝搬経路との共通領域を抽出する手順と、前記故障伝搬経路から前記共通領域を削除し、故障候補領域を抽出する手順と、前記故障候補領域の優先順位を付ける手順とを順次行うことにより、前記順序回路の故障箇所の推定を行うことを特徴とする。

20

30

40

50

【0016】(作用) 上記のように構成された本発明においては、検出された各フェイルベクタに対して分割さ

れた組合せ回路の故障伝搬値推定を行い、その故障伝搬推定値を更に前段の組合せ回路の出力とみなして入力境界における故障伝搬の推定を行う。また、故障伝搬の推定は、組合せ回路毎に故障伝搬経路を抽出し、故障伝搬経路が見つからない場合は、故障出力端子に故障が現れる入力状態値を求めておき、故障出力端子以外に故障が現れるすなわち不正出力となる伝搬経路もしくは伝搬可能領域を削除することにより、組合せ回路内の故障領域を推定する。さらに、故障の発生したベクタ毎にこの推定故障領域の論理積を求めることにより、推定故障領域をより絞り込むことが可能となる。

【0017】このように、順序回路の出力側から順次、組合せ回路を抽出し、全てのフェイルに対して組合せ回路の入力境界における故障伝搬値を推定していくので、ブリッジ故障等の多重故障の場合においても、独立な故障伝搬と交互に影響しあった故障伝搬の両方を想定することができ、推定誤りが起こりにくい。

【0018】また、故障伝搬を推定する際に、正常な期待値との差から故障伝搬経路を抽出し、さらにフェイルベクタ毎に求められたラッチ部分の故障伝搬推定値とパスしたベクタとの両方を用いて組合せ回路内の故障推定を行うので、効率良く推定が行われる。

【0019】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0020】図1は、本発明の、順序回路の故障箇所推定方法を説明するために組合せ回路内の故障伝搬の様子を示す模式図であり、(a)は前段の組合せ回路から故障が伝搬してきている場合の故障伝搬経路を示す図、

(b)は組合せ回路内において故障箇所が存在する場合に不正伝搬経路を削除することにより故障箇所を推定する方法を示す図、(c)は組合せ回路内において故障箇所が存在する場合に故障伝搬経路と不正伝搬経路の共通領域を削除することにより故障箇所を推定する方法を示す図である。

【0021】(第1の実施の形態)本発明の第1の実施の形態として、実際のテストベクタとテストパス及びフェイル情報と全回路の接続情報とを用いて、組合せ回路内の不正伝搬経路を削除することにより故障伝搬推定領域を求めるシーケンスについて説明する。

【0022】図2は、本発明の、順序回路の故障箇所推定方法の第1の実施の形態を示すフローチャートである。

【0023】まず、テストパス及びフェイル情報に基づいて、フェイル出力端子からバックトレース(入力方向)及びフォワードトレース(出力方向)を繰返し、組合せ回路201(図1(a)参照)を抽出する(ステップS1)。

【0024】次に、ステップS1において得られた組合せ回路201(図1(a)参照)のフェイル出力時及び

正常出力時における出力状態を用いて、出力状態を満たすような組合せ回路の入力境界における状態を推定する(ステップS2)。

【0025】次に、ステップS2における推定結果から、組合せ回路の故障が前段の組合せ回路から伝搬されているものであるか、組合せ回路の故障が組合せ回路内において発生した故障であるかを判断する(ステップS3)。ここで、ステップS3における判断においては、組合せ回路の入力境界における状態の推定が可能であれば、組合せ回路の故障が前段の組合せ回路から伝搬されているものと判断し、組合せ回路の入力境界における状態の推定が不可能であれば、組合せ回路の故障が組合せ回路内において発生した故障であると判断する。

【0026】ステップS3において組合せ回路の故障が前段の組合せ回路から伝搬されているものと判断された場合、得られた入力状態推定値を用いて論理シミュレーションを行う(ステップS4)。

【0027】次に、ステップS4における論理シミュレーションの結果と抽出された組合せ回路内の全ノードの期待値とを比較し、それにより、図1(a)に示すような故障伝達経路を抽出し(ステップS5)、抽出された故障伝達経路を故障候補点としてさらに前段の組合せ回路においてステップS1の処理を行う。

【0028】一方、ステップS3において組合せ回路の故障が組合せ回路内において発生した故障であると判断された場合、組合せ回路の出力端子における故障出力の状態値のみを用いて組合せ回路の入力状態の推定を行う(ステップS6)。

【0029】次に、ステップS6において得られた入力状態設定値を用いて論理シミュレーションを行う(ステップS7)。

【0030】次に、ステップS7における論理シミュレーションの結果と抽出された組合せ回路内の全ノードの期待値とを比較し、それにより、故障伝搬経路を抽出する(ステップS8)。

【0031】ここで、ステップS6における組合せ回路の入力状態の推定においては、故障出力端子の状態値しか用いていないため、ステップS6において得られた入力状態設定値を用いてステップS7における故障シミュレーションを行うと、図1(b)の破線及び細い×で示したように、正常出力となる出力端子にも故障が伝搬してしまう。

【0032】そこで、ステップS6～ステップS8における処理と同様に、まず、正常出力端子に故障が現れる端子(以下、不正出力端子と称す)を抽出し(ステップS9)、組合せ回路内の全ノードの論理シミュレーション結果と期待値との比較により、不正出力端子に対する伝搬経路を抽出する(ステップS10)。

【0033】次に、ステップS8において抽出された故障伝搬経路からステップS10において抽出された不正

伝搬経路を削除し、図1(b)の実線で示す故障候補領域を抽出する(ステップS11)。

【0034】その後、各故障ベクタ毎に抽出された故障候補領域の論理積を求め、優先順位を付けることにより、候補経路領域を抽出する(ステップS12)。

【0035】(第2の実施の形態)本発明の第2の実施の形態として、組合せ回路内の故障伝搬経路と不正伝搬経路の共通領域を削除することにより故障伝搬推定領域を求めるシーケンスについて説明する。

【0036】図3は、本発明の、順序回路の故障箇所推定方法の第2の実施の形態を示すフローチャートである。なお、ステップS1～ステップS5における処理においては、第1の実施の形態において説明したものと同様であるため、ここでの説明は省略する。

【0037】ステップS3において組合せ回路の故障が組合せ回路内において発生した故障であると判断された場合、組合せ回路の出力端子における故障出力の状態値のみを用いて組合せ回路の入力状態の推定を行う(ステップS13)。

【0038】次に、ステップ13において得られた入力状態設定値を用いて論理シミュレーションを行う(ステップS14)。

【0039】次に、ステップS14における論理シミュレーションの結果と抽出された組合せ回路内の全ノードの期待値とを比較し、それにより、故障伝搬経路を抽出する(ステップS15)。

【0040】また、論理シミュレーションを行う際に正常端子に故障が現れる不正端子及び不正伝搬経路を抽出する(ステップS16)。

【0041】次に、ステップS15において抽出された故障伝搬経路とステップS16において抽出された不正伝搬経路とが同一ノードを通過する交差ノード(図1(c)において実線と破線とが交わる部分)を求める(ステップ17)。

【0042】ここで、ステップS17において求められた交差ノード上に故障が伝搬した場合は、故障出力端子のみならず、不正出力となった出力端子にも故障が伝搬するため、交差ノード上には実際の故障が存在しない。同様に、交差ノードに故障が伝搬する可能性のある領域にも故障が存在しない。

【0043】そこで、ステップS17において求められた交差ノードを始点として入力方向に回路を抽出することにより、故障伝搬経路と不正伝搬経路との共通領域(図1(c)における網掛部分)を抽出する(ステップS18)。

【0044】次に、ステップS15において抽出された故障伝搬経路からステップS18において抽出された故障伝搬経路と不正伝搬経路との共通領域を削除し、図1(c)の実線で示す故障候補領域を抽出する(ステップS19)。

【0045】その後、各故障ベクタ毎に抽出された故障候補領域の論理積を求め、優先順位を付けることにより、候補経路領域を抽出する(ステップS20)。

【0046】

【発明の効果】以上説明したように本発明においては、順序回路の出力側から組合せ回路を順次抽出し、全てのフェイルに対して組合せ回路毎の入力境界における故障伝搬値を推定していくため、全回路の全信号線に対して故障仮定を行って全ベクタに対して故障シミュレーションを行う場合に比べて、シミュレーションを行う回数が、(抽出された組合せ回路の数)×(組合せ回路それぞれの出力状態を満たすベクタ数)となり、少なくなる。かつ、個々の故障シミュレーションは、抽出された組合せ回路に限定されるため、回路全体のシミュレーションに比べて回路規模が大幅に小さくなり計算量を減らすことができる。組合せ回路内の故障伝搬経路の抽出に関しても、故障推定のための組合せ回路の入力部における故障シミュレーション結果と正常な場合のシミュレーション結果との比較のみで行われるため、計算量も少なく抑えることができ、かつ、組合せ回路内の再収れん回路に対しても故障伝搬経路を抽出することができる。

【0047】さらに、組合せ回路内の故障箇所の推定においても、故障出力端子に故障が現れるような組合せ回路の入力境界部の状態値を求め、他の正常端子に故障が出力される経路を削除することにより故障箇所を絞り込んでいくため、故障辞書では不可能であるブリッジ等の多重故障も想定することができる。また、このような多重故障の場合、独立な故障伝搬と相互に影響しあった伝搬との両方を想定することができるため、推定誤りが起こりにくい。

【図面の簡単な説明】

【図1】本発明の、順序回路の故障箇所推定方法を説明するために組合せ回路内の故障伝搬の様子を示す模式図であり、(a)は前段の組合せ回路から故障が伝搬してきている場合の故障伝搬経路を示す図、(b)は組合せ回路内において故障箇所が存在する場合に不正伝搬経路を削除することにより故障箇所を推定する方法を示す図、(c)は組合せ回路内において故障箇所が存在する場合に故障伝搬経路と不正伝搬経路の共通領域を削除することにより故障箇所を推定する方法を示す図である。

【図2】本発明の、順序回路の故障箇所推定方法の第1の実施の形態を示すフローチャートである。

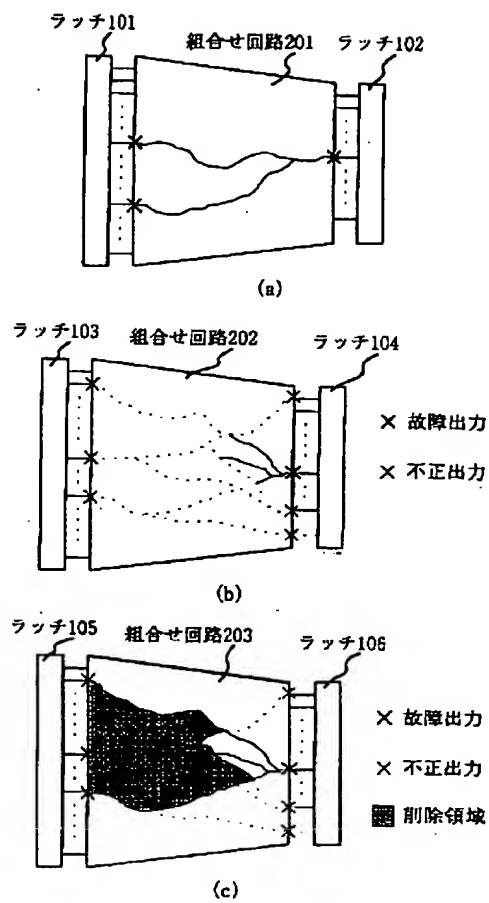
【図3】本発明の、順序回路の故障箇所推定方法の第2の実施の形態を示すフローチャートである。

【図4】従来の、故障辞書を用いた故障箇所推定方法の一例を示すフローチャートである。

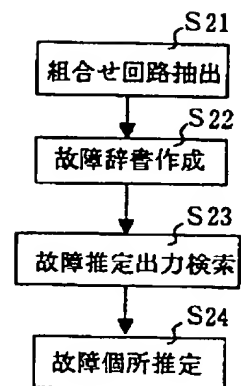
【符号の説明】

101～106      ラッチ  
201～203      組合せ回路

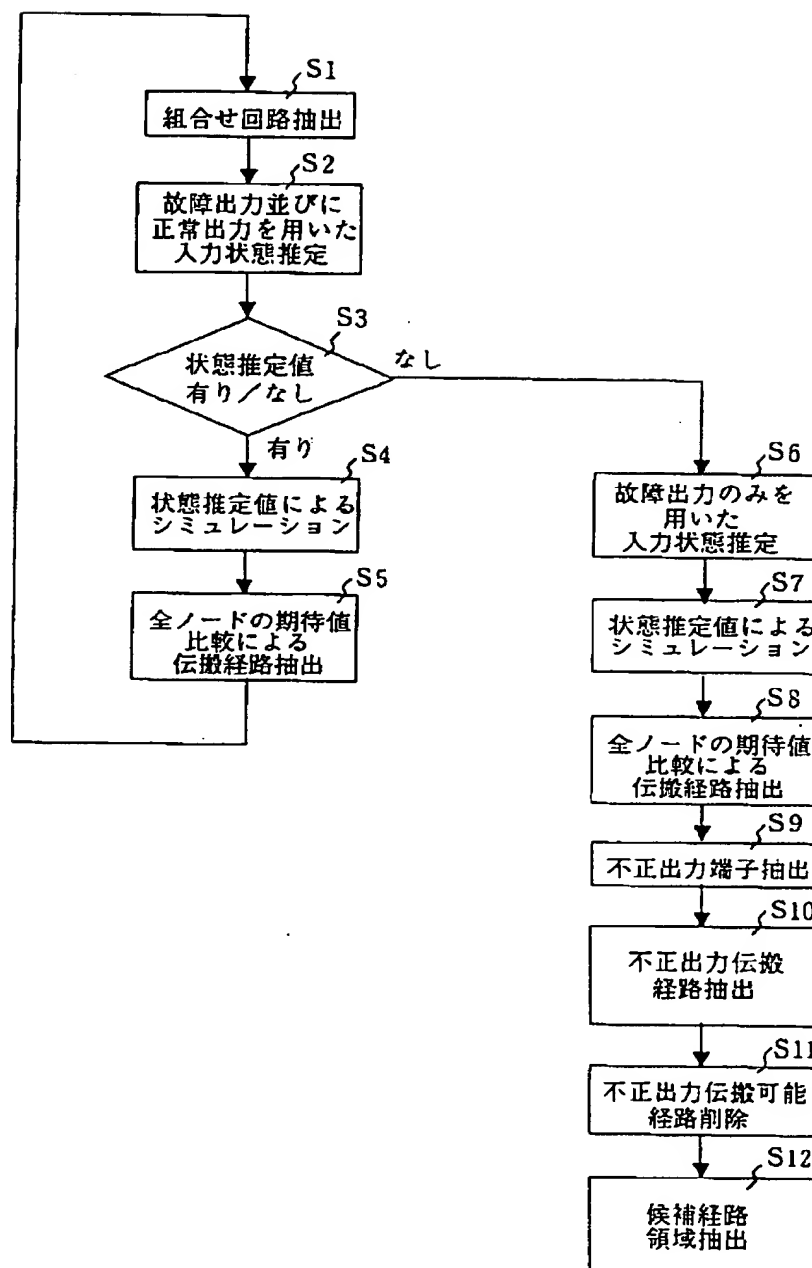
【図1】



【図4】



【図 2】



【図 3】

